

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 5月16日

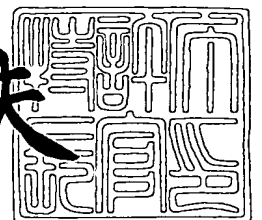
出願番号
Application Number: 特願2003-139560
[ST. 10/C]: [JP2003-139560]

出願人
Applicant(s): 株式会社半導体エネルギー研究所

2004年 1月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3001571

【書類名】 特許願

【整理番号】 P007143

【提出日】 平成15年 5月16日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 納 光明

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 安西 彩

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 優

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 福本 良太

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【先の出願に基づく優先権主張】

【出願番号】 特願2003- 86500

【出願日】 平成15年 3月26日

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 素子基板及び発光装置

【特許請求の範囲】

【請求項 1】

発光素子と、
前記発光素子に流れる電流値を決定する第 1 のトランジスタと、
ビデオ信号によって、前記発光素子の発光、非発光を決定する第 2 のトランジスタとを画素に有する発光装置であって、
第 1 の電源と第 3 の電源との間に、前記発光素子、前記第 1 のトランジスタ及び前記第 2 のトランジスタが直列に接続され、
前記第 1 のトランジスタのゲート電極は第 2 の電源と接続されていることを特徴とする発光装置。

【請求項 2】

発光素子と、
前記発光素子に流れる電流値を決定する第 1 のトランジスタと、
ビデオ信号によって、前記発光素子の発光、非発光を決定する第 2 のトランジスタと、
前記ビデオ信号の入力を制御する第 3 のトランジスタとを画素に有する発光装置であって、
第 1 の電源と第 3 の電源との間に、前記発光素子、前記第 1 のトランジスタ及び前記第 2 のトランジスタが直列に接続され、
前記第 1 のトランジスタのゲート電極は第 2 の電源と接続されていることを特徴とする発光装置。

【請求項 3】

発光素子と、
前記発光素子に流れる電流値を決定する第 1 のトランジスタと、
ビデオ信号によって、前記発光素子の発光、非発光を決定する第 2 のトランジスタと、
前記ビデオ信号の入力を制御する第 3 のトランジスタと、

前記ビデオ信号に関わらず、前記発光素子を非発光状態にする第 4 のトランジスタとを画素に有する発光装置であって、

前記第 1 の電源と第 3 の電源との間に、前記発光素子、前記第 1 のトランジスタ及び前記第 2 のトランジスタが直列に接続され、

前記第 1 のトランジスタのゲート電極は第 2 の電源と接続されていることを特徴とする発光装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタの極性が同じ極性であることを特徴とする発光装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか 1 項において、

前記第 1 のトランジスタはディプリーション型であることを特徴とする発光装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか 1 項において、

前記第 1 のトランジスタはそのチャンネル長がチャンネル幅より長く、

前記第 2 のトランジスタはそのチャンネル長がチャンネル幅と同じかそれより短いことを特徴とする発光装置。

【請求項 7】

請求項 6 において、

前記第 1 のトランジスタはそのチャンネル幅に対するチャンネル長の比が 5 以上であることを特徴とする発光装置。

【請求項 8】

画素電極と、

前記画素電極に流れる電流値を決定する第 1 のトランジスタと、

ビデオ信号によって、前記画素電極への電流の供給の有無を決定する第 2 のトランジスタとを画素に有する発光装置であって、

第 1 の電源と前記画素電極との間に、前記第 1 のトランジスタ及び前記第 2 の

トランジスタが直列に接続され、

前記第 1 のトランジスタのゲート電極は第 2 の電源と接続されていることを特徴とする素子基板。

【請求項 9】

請求項 8 において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタの極性が共に P 型であり

、
前記第 1 のトランジスタの閾値が前記第 2 のトランジスタの閾値よりも高いことを特徴とする素子基板。

【請求項 10】

請求項 8 において、

前記第 1 のトランジスタ及び前記第 2 のトランジスタの極性が共に N 型であり

、
前記第 1 のトランジスタの閾値が前記第 2 のトランジスタの閾値よりも低いことを特徴とする素子基板。

【請求項 11】

請求項 8 乃至請求項 10 のいずれか 1 項において、

前記第 1 のトランジスタはディプリーション型であることを特徴とする素子基板。

【請求項 12】

請求項 8 乃至請求項 11 のいずれか 1 項において、

前記第 1 のトランジスタはそのチャネル長がチャネル幅より長く、

前記第 2 のトランジスタはそのチャネル長がチャネル幅と同じかそれより短いことを特徴とする素子基板。

【請求項 13】

請求項 12 において、

前記第 1 のトランジスタはそのチャネル幅に対するチャネル長の比が 5 以上であることを特徴とする素子基板。

【発明の詳細な説明】

【 0 0 0 1 】**【発明の属する技術分野】**

本発明は、電流を発光素子に供給するための手段と発光素子とが、複数の各画素に備えられた発光装置及び素子基板に関する。

【 0 0 0 2 】**【従来の技術】**

発光素子は自ら発光するため視認性が高く、液晶表示装置（L C D）で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため近年、発光素子を用いた発光装置は、C R TやL C Dに代わる表示装置として注目されている。なお、本明細書において発光素子は、電流または電圧によって輝度が制御される素子を意味しており、O L E D（Organic Light Emitting Diode）や、F E D（Field Emission Display）に用いられているM I M型の電子源素子（電子放出素子）等を含んでいる。

【 0 0 0 3 】

なお発光装置とは、パネルと、該パネルにコントローラを含むI C等を実装した状態にあるモジュールとを含む。さらに本発明は、該発光装置を作製する過程における、パネルが完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を発光素子に供給するための手段を複数の各画素に備える。

【 0 0 0 4 】

発光素子の1つであるO L E D（Organic Light Emitting Diode）は、電場を加えることで発生するルミネッセンス（Electroluminescence）が得られる電界発光材料を含む層（以下、電界発光層と記す）と、陽極層と、陰極層とを有している。電界発光層は陽極と陰極の間に設けられており、単層または複数の層で構成されている。これらの層の中に無機化合物を含んでいる場合もある。電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれる。

【 0 0 0 5 】

次に、一般的な発光装置の画素の構成とその駆動について簡単に説明する。図7に示した画素は、スイッチング用トランジスタ700、駆動用トランジスタ7

01と、容量素子702と、発光素子703とを有している。スイッチング用トランジスタ700は、ゲートが走査線705に接続されており、ソースとドレインが一方は信号線704に、もう一方は駆動用トランジスタ701のゲートに接続されている。駆動用トランジスタ701は、ソースが電源線706に接続されており、ドレインが発光素子703の陽極に接続されている。発光素子703の陰極は対向電極707に接続されている。容量素子702は駆動用トランジスタ701のゲートとソース間の電位差を保持するように設けられている。また、電源線706、対向電極707には、電源からそれぞれ所定の電圧が印加されており、互いに電位差を有している。

【0006】

走査線705の信号によりスイッチング用トランジスタ700がオンになると、信号線704に入力されたビデオ信号が駆動用トランジスタ701のゲートに入力される。この入力されたビデオ信号の電位と電源線706の電位差が駆動用トランジスタ701のゲート・ソース間電圧 V_{gs} となり、発光素子703に電流が供給され、発光素子703が発光する。

【0007】

【発明が解決しようとする課題】

ところで、例えば、ポリシリコンを用いたトランジスタは、電界効果移動度が高く、オン電流が大きいため、発光装置のトランジスタとして適している。また、ポリシリコンを用いたトランジスタは、結晶粒界に形成される欠陥に起因して、その特性にばらつきが生じやすいといった問題点を有している。

【0008】

図7に示した画素において、駆動用トランジスタ701のドレイン電流が画素毎にばらつくと、ビデオ信号の電位が同じであっても駆動用トランジスタ701のドレイン電流が画素間で異なり、結果的に発光素子703の輝度ムラが生じてしまうという問題があった。

【0009】

ドレイン電流のばらつきを抑制する手段として、特願2003-008719号で提案した、駆動用トランジスタ701の L/W (L :チャネル長、 W :チャ

ネル幅)を大きくする方法がある。ここで、駆動用トランジスタ701の飽和領域におけるドレイン電流 I_{ds} は式1で与えられる。

【0010】

【式1】

$$I_{ds} = \beta (V_{gs} - V_{th})^2 / 2$$

【0011】

式1から、駆動用トランジスタ701の飽和領域におけるドレイン電流 I_{ds} は V_{gs} の僅かな変化に対しても流れる電流に大きく影響するため、発光素子703が発光している期間に駆動用トランジスタ701のゲート・ソース間に保持した電圧 V_{gs} が変化しないように注意する必要がある。そのためには駆動用トランジスタ701のゲート・ソース間に設けられた容量素子702の容量を大きくすることや、スイッチング用トランジスタ700のオフ電流を低く抑える必要がある。

【0012】

スイッチング用トランジスタ700のオフ電流を低く抑えること、且つ、大きな容量を充電するためにオン電流を高くすること、両方を満たすことはトランジスタ作製プロセスにおいては難しい課題である。

【0013】

また、スイッチング用トランジスタ700のスイッチングや信号線、走査線の電位の変化等に伴い、駆動用トランジスタ701の V_{gs} が変化してしまうという問題もある。これは、駆動用トランジスタ701のゲートにつく寄生容量によるものである。

【0014】

本発明は上述した問題に鑑み、スイッチング用トランジスタ700のオフ電流を低く抑える必要はなく、容量素子702の容量も大きくする必要はなく、寄生容量による影響も受けにくい、且つ、駆動用トランジスタ701の特性のばらつきに起因する、画素間における発光素子703の輝度ムラを抑えることができる発光装置及び素子基板の提案を課題とする。

【0015】

【課題を解決するための手段】

本発明では、駆動用トランジスタのゲートの電位は固定し、前記駆動用トランジスタは飽和領域で動作させ、常に電流を流せる状態にしておく。前記駆動用トランジスタと直列に線形領域で動作する電流制御用トランジスタを配し、スイッチング用トランジスタを介して画素の発光、非発光の信号を伝えるビデオ信号を前記電流制御用トランジスタのゲートに入力する。

【0016】

前記電流制御用トランジスタは線形領域で動作するため前記電流制御用トランジスタのソース・ドレイン間電圧 V_{ds} は小さく、前記電流制御用トランジスタのゲート・ソース間電圧 V_{gs} の僅かな変動は、発光素子に流れる電流に影響しない。発光素子に流れる電流は飽和領域で動作する前記駆動用トランジスタにより決定される。よって、前記電流制御用トランジスタのゲート・ソース間に設けられた容量素子の容量を大きくしたり、前記スイッチング用トランジスタのオフ電流を低く抑えたりしなくても、発光素子に流れる電流に影響しない。また、前記電流制御用トランジスタのゲートにつく寄生容量による影響も受けない。このため、ばらつき要因が減り、画質を大いに高めることができる。

【0017】

また、前記スイッチング用トランジスタはオフ電流を低く抑える必要がないため、トランジスタ作製プロセスを簡略化することができ、コスト削減、歩留まり向上に大きく貢献することができる。

【0018】**【発明の実施の形態】****(実施の形態1)**

図1に、本発明の発光装置が有する画素の一実施形態を示す。図1に示す画素は、発光素子104と、ビデオ信号の画素への入力を制御するためのスイッチング素子として用いるトランジスタ（スイッチング用トランジスタ）101と、発光素子104に流れる電流値を制御する駆動用トランジスタ102、発光素子104への電流の供給を制御する電流制御用トランジスタ103とを有している。さらに本実施の形態のように、ビデオ信号の電位を保持するための容量素子10

5を画素に設けても良い。

【0019】

駆動用トランジスタ102及び電流制御用トランジスタ103は同じ極性を有する。本発明では、駆動用トランジスタ102を飽和領域で、電流制御用トランジスタ103を線形領域で動作させる。

【0020】

また、駆動用トランジスタ102のLをWより長く、電流制御用トランジスタ103のLをWと同じか、それより短くてもよい。より望ましくは、駆動用トランジスタ102のWに対するLの比が5以上にするとよい。

【0021】

また、駆動用トランジスタ102にはエンハンスメント型トランジスタを用いてもよいし、ディプリーション型トランジスタを用いてもよい。

【0022】

また、スイッチング用トランジスタ101はN型トランジスタを用いてもよいし、P型トランジスタを用いてもよい。

【0023】

スイッチング用トランジスタ101のゲートは、走査線 G_j ($j=1\sim y$)に接続されている。スイッチング用トランジスタ101のソースとドレインは、一方が信号線 S_i ($i=1\sim x$)に、もう一方が電流制御用トランジスタ103のゲートに接続されている。駆動用トランジスタ102のゲートは第2の電源線 W_i ($i=1\sim x$)に接続されている。そして駆動用トランジスタ102及び電流制御用トランジスタ103は、第1の電源線 V_i ($i=1\sim x$)から供給される電流が、駆動用トランジスタ102及び電流制御用トランジスタ103のドレイン電流として発光素子104に供給されるように、第1の電源線 V_i ($i=1\sim x$)、発光素子104と接続されている。本実施の形態では、電流制御用トランジスタ103のソースが第1の電源線 V_i ($i=1\sim x$)に接続され、駆動用トランジスタ102のドレインが発光素子104の画素電極に接続される。

【0024】

なお駆動用トランジスタ102のソースを第1の電源線 V_i ($i=1\sim x$)に

接続し、電流制御用トランジスタ103のドレインを発光素子104の画素電極に接続してもよい。

【0025】

発光素子104は陽極と陰極と、陽極と陰極との間に設けられた電界発光層とからなる。図1のように、陽極が駆動用トランジスタ102と接続している場合、陽極が画素電極、陰極が対向電極となる。発光素子104の対向電極と、第1の電源線 V_i ($i = 1 \sim x$) のそれぞれには、発光素子104に順バイアス方向の電流が供給されるように、電位差が設けられている。

【0026】

容量素子105が有する2つの電極は、一方は第1の電源線 V_i ($i = 1 \sim x$) に接続されており、もう一方は電流制御用トランジスタ103のゲートに接続されている。容量素子105はスイッチング用トランジスタ101が非選択状態（オフ状態）にある時、容量素子105の電極間の電位差を保持するために設けられている。なお図1では容量素子105を設ける構成を示したが、本発明はこの構成に限定されず、容量素子105を設けない構成にしても良い。

【0027】

図1では駆動用トランジスタ102および電流制御用トランジスタ103をP型トランジスタとし、駆動用トランジスタ102のドレインと発光素子104の陽極とを接続した。逆に駆動用トランジスタ102および電流制御用トランジスタ103をN型トランジスタとするならば、駆動用トランジスタ102のソースと発光素子104の陰極とを接続する。この場合、発光素子104の陰極が画素電極、陽極が対向電極となる。

【0028】

次に、図1に示した画素の駆動方法について説明する。図1に示す画素は、その動作を書き込み期間、データ保持期間とに分けて説明することができる。まず書き込み期間において走査線 G_j ($j = 1 \sim y$) が選択されると、走査線 G_j ($j = 1 \sim y$) にゲートが接続されているスイッチング用トランジスタ101がオンになる。そして、信号線 S_i ($i = 1 \sim x$) に入力されたビデオ信号が、スイッチング用トランジスタ101を介して電流制御用トランジスタ103のゲートに

入力される。なお、駆動用トランジスタ 102 はゲートが第 1 の電源線 V_i ($i = 1 \sim x$) に接続されているため、常にオン状態である。

【0029】

ビデオ信号によって電流制御用トランジスタ 103 がオンになる場合は、第 1 の電源線 V_i ($i = 1 \sim x$) を介して電流が発光素子 104 に供給される。このとき電流制御用トランジスタ 103 は線形領域で動作しているため、発光素子 104 に流れる電流は、飽和領域で動作する駆動用トランジスタ 102 と発光素子 104 の電圧電流特性によって決まる。そして発光素子 104 は、供給される電流に見合った高さの輝度で発光する。

【0030】

またビデオ信号によって電流制御用トランジスタ 103 がオフになる場合は、発光素子 104 への電流の供給は行なわれず、発光素子 104 は発光しない。

【0031】

データ保持期間では、走査線 G_j ($j = 1 \sim y$) の電位を制御することでスイッチング用トランジスタ 101 をオフにし、書き込み期間において書き込まれたビデオ信号の電位を保持する。書き込み期間において電流制御用トランジスタ 103 をオンにした場合、ビデオ信号の電位は容量素子 105 によって保持されているので、発光素子 104 への電流の供給は維持されている。逆に、書き込み期間において電流制御用トランジスタ 103 をオフにした場合、ビデオ信号の電位は容量素子 105 によって保持されているので、発光素子 104 への電流の供給は行なわれていない。

【0032】

なお素子基板は、本発明の発光装置を作製する過程における、発光素子が形成される前の一形態に相当する。

【0033】

本発明の発光装置において用いられるトランジスタは、単結晶シリコンを用いて形成されたトランジスタであっても良いし、SOIを用いたトランジスタであっても良いし、多結晶シリコンやアモルファスシリコンを用いた薄膜トランジスタであっても良い。また、有機半導体を用いたトランジスタであっても良いし、

カーボンナノチューブを用いたトランジスタであってもよい。また本発明の発光装置の画素に設けられたトランジスタは、シングルゲート構造を有していても良いし、ダブルゲート構造やそれ以上のゲート電極を有するマルチゲート構造であっても良い。

【0034】

上記構成により、電流制御用トランジスタ103は線形領域で動作するため電流制御用トランジスタ103のソース・ドレイン間電圧 V_{ds} は小さく、電流制御用トランジスタ103のゲート・ソース間電圧 V_{gs} の僅かな変動は、発光素子104に流れる電流に影響しない。発光素子104に流れる電流は飽和領域で動作する駆動用トランジスタ102により決定される。よって、電流制御用トランジスタ103のゲート・ソース間に設けられた容量素子105の容量を大きくしたり、スイッチング用トランジスタ101のオフ電流を低く抑えなくても、発光素子104に流れる電流に影響しない。また、電流制御用トランジスタ103のゲートにつく寄生容量による影響も受けない。このため、ばらつき要因が減り、画質を大いに高めることができる。

【0035】

(実施の形態2)

本実施の形態では、本発明の発光装置が有する画素の、図1とは異なる形態について説明する。

【0036】

図2に示す画素は、発光素子204と、スイッチング用トランジスタ201と、駆動用トランジスタ202と、電流制御用トランジスタ203と、電流制御用トランジスタ203を強制的にオフするためのトランジスタ(消去用トランジスタ)206とを有している。上記素子に加えて容量素子205を画素に設けても良い。

【0037】

駆動用トランジスタ202及び電流制御用トランジスタ203は同じ極性を有する。本発明では、駆動用トランジスタ202を飽和領域で、電流制御用トランジスタ203を線形領域で動作させる。

【0038】

また、駆動用トランジスタ202のLをWより長く、電流制御用トランジスタ203のLをWと同じか、それより短くてもよい。より望ましくは、駆動用トランジスタ202のWに対するLの比が5以上にするとよい。

【0039】

また、駆動用トランジスタ202にはエンハンスメント型トランジスタを用いてもよいし、ディプリーション型トランジスタを用いてもよい。

【0040】

また、スイッチング用トランジスタ201及び消去用トランジスタ206はN型トランジスタを用いてもよいし、P型トランジスタを用いてもよい。

【0041】

スイッチング用トランジスタ201のゲートは、第1の走査線 G_{aj} ($j=1\sim y$) に接続されている。スイッチング用トランジスタ201のソースとドレインは、一方が信号線 S_i ($i=1\sim x$) に、もう一方が電流制御用トランジスタ203のゲートに接続されている。また消去用トランジスタ206のゲートは、第2の走査線 G_{ej} ($j=1\sim y$) に接続されており、ソースとドレインは、一方が第1の電源線 V_i ($i=1\sim x$) に、他方が電流制御用トランジスタ203のゲートに接続されている。駆動用トランジスタ202のゲートは第2の電源線 W_i ($i=1\sim x$) に接続されている。そして駆動用トランジスタ202及び電流制御用トランジスタ203は、第1の電源線 V_i ($i=1\sim x$) から供給される電流が、駆動用トランジスタ202及び電流制御用トランジスタ203のドレイン電流として発光素子204に供給されるように、第1の電源線 V_i ($i=1\sim x$) 、発光素子204と接続されている。本実施の形態では、電流制御用トランジスタ203のソースが第1の電源線 V_i ($i=1\sim x$) に接続され、駆動用トランジスタ202のドレインが発光素子204の画素電極に接続される。

【0042】

なお駆動用トランジスタ202のソースを第1の電源線 V_i ($i=1\sim x$) に接続し、電流制御用トランジスタ203のドレインを発光素子204の画素電極に接続してもよい。

【0043】

発光素子 204 は陽極と陰極と、陽極と陰極との間に設けられた電界発光層とからなる。図 2 のように陽極が駆動用トランジスタ 202 と接続している場合、陽極が画素電極、陰極が対向電極となる。発光素子 204 の対向電極と、第 1 の電源線 V_i ($i = 1 \sim x$) のそれぞれには、発光素子 204 に順バイアス方向の電流が供給されるように、電位差が設けられている。

【0044】

容量素子 205 が有する 2 つの電極は、一方は第 1 の電源線 V_i ($i = 1 \sim x$) に接続されており、もう一方は電流制御用トランジスタ 203 のゲートに接続されている。

【0045】

図 2 では駆動用トランジスタ 202 および電流制御用トランジスタ 203 を P 型トランジスタとし、駆動用トランジスタ 202 のドレインと発光素子 204 の陽極とを接続した。逆に駆動用トランジスタ 202 および電流制御用トランジスタ 203 を N 型トランジスタとするならば、駆動用トランジスタ 202 のソースと発光素子 204 の陰極とを接続する。この場合、発光素子 204 の陰極が画素電極、陽極が対向電極となる。

【0046】

図 2 に示す画素は、その動作を書き込み期間、データ保持期間、消去期間とに分けて説明することができる。書き込み期間とデータ保持期間におけるスイッチング用トランジスタ 201、駆動用トランジスタ 202 及び電流制御用トランジスタ 203 の動作については、図 1 の場合と同様である。

【0047】

消去期間では、第 2 の走査線 G_{ej} ($j = 1 \sim y$) が選択されて消去用トランジスタ 206 がオンになり、電源線 V_i ($i = 1 \sim x$) の電位が消去用トランジスタ 206 を介して電流制御用トランジスタ 203 のゲートに与えられる。よって、電流制御用トランジスタ 203 がオフになるため、発光素子 204 に強制的に電流が供給されない状態を作り出すことができる。

【0048】

【実施例】

以下に、本発明の実施例について記載する。

【0049】**[実施例1]**

アクティブマトリクス型表示装置に本発明の画素構成が使用される場合、その構成と駆動について説明する。

【0050】

図3に外部回路のブロック図とパネルの概略図を示す。

【0051】

図3に示すように、アクティブマトリクス型表示装置は外部回路3004及びパネル3010を有する。外部回路3004はA/D変換部3001、電源部3002及び信号生成部3003を有する。A/D変換部3001はアナログ信号で入力された映像データ信号をデジタル信号（ビデオ信号）に変換し、信号線駆動回路3006へ供給する。電源部3002はバッテリーやコンセントより供給された電源から、それぞれ所望の電圧値の電源を生成し、信号線駆動回路3006、走査線駆動回路3007、OLED素子3011、信号生成部3003等に供給する。信号生成部3003には、電源、映像信号及び同期信号等が入力され、各種信号の変換を行う他、信号線駆動回路3006及び走査線駆動回路3007を駆動するためのクロック信号等を生成する。

【0052】

外部回路3004からの信号及び電源はFPCを通し、パネル3010内のFPC接続部3005から内部回路等に入力される。

【0053】

また、パネル3010は基板3008上に、FPC接続部3005、内部回路が配置され、また、OLED素子3011を有する。内部回路は信号線駆動回路3006、走査線駆動回路3007及び画素部3009を有する。図3には例として実施形態1に記載の画素を採用しているが、前記画素部3009に本発明の実施形態に挙げたいずれかの画素構成を採用することができる。

【0054】

基板中央には画素部 3 0 0 9 が配置され、その周辺には、信号線駆動回路 3 0 0 6 及び走査線駆動回路 3 0 0 7 が配置されている。O L E D 素子 3 0 1 1 及び、前記発光素子の対向電極は画素部 3 0 0 9 全体面に形成されている。

【 0 0 5 5 】

より詳しく、図 4 に信号線駆動回路 3 0 0 6 のブロック図を示す。

【 0 0 5 6 】

信号線駆動回路 3 0 0 6 は D - フリップフロップ 4 0 0 1 を複数段用いてなるシフトレジスタ 4 0 0 2、データラッチ回路 4 0 0 3、ラッチ回路 4 0 0 4、レベルシフタ 4 0 0 5 及びバッファ 4 0 0 6 等を有する。

【 0 0 5 7 】

入力される信号はクロック信号線 (S - C K)、反転クロック信号線 (S - C K B)、スタートパルス (S - S P)、ビデオ信号 (D A T A) 及びラッチパルス (L a t c h P u l s e) とする。

【 0 0 5 8 】

まず、クロック信号、クロック反転信号及びスタートパルスのタイミングに従って、シフトレジスタ 4 0 0 2 より、順次サンプリングパルスが出力される。サンプリングパルスはデータラッチ回路 4 0 0 3 へ入力され、そのタイミングで、ビデオ信号を取り込み、保持する。この動作が一系列目から順に行われる。

【 0 0 5 9 】

最終段のデータラッチ回路 4 0 0 3 においてビデオ信号の保持が完了すると、水平帰線期間中にラッチパルスが入力され、データラッチ回路 4 0 0 3 において保持されているビデオ信号は一斉にラッチ回路 4 0 0 4 へと転送される。その後、レベルシフタ 4 0 0 5 においてレベルシフトされ、バッファ 4 0 0 6 において整形された後、信号線 S 1 から S n へ一斉に出力される。その際、走査線駆動回路 3 0 0 7 によって選択された行の画素へ、H レベル、L レベルが入力され、O L E D 素子 3 0 1 1 の発光、非発光を制御する。

【 0 0 6 0 】

本実施例にて示したアクティブマトリクス型表示装置はパネル 3 0 1 0 と外部回路 3 0 0 4 が独立されているが、これらを同一基板上に一体形成して作製して

もよい。また、表示装置は例として、O L E Dを使用したものとしたが、O L E D以外の発光素子を利用した発光装置でもよい。また、信号線駆動回路 3 0 0 6 内にレベルシフタ 4 0 0 5 及びバッファ 4 0 0 6 が無くてもよい。

【 0 0 6 1 】

[実施例 2]

本実施例では、図 2 に示した画素の、上面図の一実施例について説明する。図 5 に本実施例の画素の上面図を示す。

【 0 0 6 2 】

5 0 0 1 は信号線、5 0 0 2 は第 1 の電源線、5 0 1 1 は第 2 の電源線に相当し、5 0 0 4 は第 1 の走査線、5 0 0 3 は第 2 の走査線に相当する。本実施例では、信号線 5 0 0 1 と第 1 の電源線 5 0 0 2 と第 2 の電源線 5 0 1 1 は同じ導電膜で形成し、第 1 の走査線 5 0 0 4 と第 2 の走査線 5 0 0 3 は同じ導電膜で形成する。また 5 0 0 5 はスイッチング用トランジスタであり、第 1 の走査線 5 0 0 4 の一部がそのゲート電極として機能する。また 5 0 0 6 は消去用トランジスタであり、第 2 の走査線 5 0 0 3 の一部がそのゲート電極として機能する。5 0 0 7 は駆動用トランジスタ、5 0 0 8 は電流制御用トランジスタに相当する。駆動用トランジスタ 5 0 0 7 は、その L / W が電流制御用トランジスタ 5 0 0 8 よりも大きくなるように、活性層が曲がりくねっている。5 0 0 9 は画素電極に相当し、電界発光層や陰極（共に図示せず）と重なる領域（発光エリア）5 0 1 0 において発光する。

【 0 0 6 3 】

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

【 0 0 6 4 】

[実施例 3]

本実施例では、図 2 に示した画素の、図 5 とは異なる上面図の一実施例について説明する。図 8 に本実施例の画素の上面図を示す。

【 0 0 6 5 】

8 0 0 1 は信号線、8 0 0 2 は第 1 の電源線、8 0 1 1 は第 2 の電源線に相当

し、8004は第1の走査線、8003は第2の走査線に相当する。本実施例では、信号線8001と第1の電源線8002と第2の電源線8011は同じ導電膜で形成し、第1の走査線8004と第2の走査線8003は同じ導電膜で形成する。また8005はスイッチング用トランジスタであり、第1の走査線8004の一部がそのゲート電極として機能する。また8006は消去用トランジスタであり、第2の走査線8003の一部がそのゲート電極として機能する。8007は駆動用トランジスタ、8008は電流制御用トランジスタに相当する。駆動用トランジスタ8007は、そのL/Wが電流制御用トランジスタ8008よりも大きくなるように、活性層が曲がりくねっている。8009は画素電極に相当し、電界発光層や陰極（共に図示せず）と重なる領域（発光エリア）8010において発光する。また、8012は容量手段であり、第2の電源線8011と電流制御用トランジスタ8008との間のゲート絶縁膜によってなる。

【0066】

なお本発明の上面図は本の一実施例であり、本発明はこれに限定されないことは言うまでもない。

【0067】

[実施例4]

本実施例では、画素の断面構造について説明する。

【0068】

図9（A）に、駆動用トランジスタ9021がP型で、発光素子9022から発せられる光が陽極9023側に抜ける場合の、画素の断面図を示す。図9（A）では、発光素子9022の陽極9023と駆動用トランジスタ9021が電氣的に接続されており、陽極9023上に電界発光層9024、陰極9025が順に積層されている。陰極9025は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。そして電界発光層9024は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陽極9023上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層する。なおこれらの層を全て設

ける必要はない。陽極 9023 は光を透過する透明導電膜を用いて形成し、例えば ITO の他、酸化インジウムに 2～20% の酸化亜鉛 (ZnO) を混合した透明導電膜を用いても良い。

【0069】

陽極 9023 と、電界発光層 9024 と、陰極 9025 とが重なっている部分が発光素子 9022 に相当する。図 9 (A) に示した画素の場合、発光素子 9022 から発せられる光は、白抜きの矢印で示すように陽極 9023 側に抜ける。

【0070】

図 9 (B) に、駆動用トランジスタ 9001 が N 型で、発光素子 9002 から発せられる光が陽極 9005 側に抜ける場合の、画素の断面図を示す。図 9 (B) では、発光素子 9002 の陰極 9003 と駆動用トランジスタ 9001 が電氣的に接続されており、陰極 9003 上に電界発光層 9004、陽極 9005 が順に積層されている。陰極 9003 は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi 等が望ましい。そして電界発光層 9004 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極 9003 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 9005 は光を透過する透明導電膜を用いて形成し、例えば ITO の他、酸化インジウムに 2～20% の酸化亜鉛 (ZnO) を混合した透明導電膜を用いても良い。

【0071】

陰極 9003 と、電界発光層 9004 と、陽極 9005 とが重なっている部分が発光素子 9002 に相当する。図 9 (B) に示した画素の場合、発光素子 9002 から発せられる光は、白抜きの矢印で示すように陽極 9005 側に抜ける。

【0072】

なお本実施例では、駆動用トランジスタと発光素子が電氣的に接続されている例を示したが、駆動用トランジスタと発光素子との間に電流制御用トランジスタが接続されている構成であってもよい。

【0073】

[実施例5]

本発明の画素構成を用いた駆動タイミングの一例を、図10を用いて説明する。

【0074】

図10(A)はデジタル時間階調方式を用い、4ビット階調を表現する場合の例である。データ保持期間 $T_{s1} \sim T_{s4}$ は、その長さの比を $T_{s1} : T_{s2} : T_{s3} : T_{s4} = 2^3 : 2^2 : 2^1 : 2^0 = 8 : 4 : 2 : 1$ としている。

【0075】

動作について説明する。まず、書き込み期間 T_{b1} において、1行目から順に第1の走査線が選択され、スイッチング用トランジスタがオンする。次に、信号線よりビデオ信号が各画素に入力され、その電位によって各画素の発光、非発光が制御される。ビデオ信号の書き込みが完了した行においては、直ちにデータ保持期間 T_{s1} へと移る。同じ動作が、最終行まで行われ、期間 T_{a1} が終了する。このとき、データ保持期間 T_{s1} が終了した行から順に書き込み期間 T_{b2} へ移る。

【0076】

ここで、書き込み期間よりも短いデータ保持期間を有するサブフレーム期間(ここではSF4が該当する)においては、データ保持期間の終了後、直ちに次の期間が開始しないよう、消去期間2102を設ける。消去期間において発光素子は、強制的に非発光状態とされる。

【0077】

ここでは4ビット階調を表現する場合について説明したが、ビット数及び階調数はこれに限定されない。また、発光の順番は $T_{s1} \sim T_{s4}$ である必要はなく、ランダムでもよいし、複数に分割して発光をしてもよい。

【0078】

また、図10(B)に書き込みパルス及び消去パルスの例を示す。前記消去パルスは消去パルス①に示すように、1行ずつパルスを入力し、消去期間中は容量手段等によって保持してもよいし、消去パルス②に示すように、消去期間中ずっと、Hレベルを入力しつづけてもよい。尚、図10(B)に示すパルスはいずれ

もスイッチング用トランジスタ及び消去用トランジスタがN型である場合であり、前記スイッチング用トランジスタ及び前記消去用トランジスタがP型である場合は、図10(B)のパルスはいずれもHレベルとLレベルが反転する。

【0079】

[実施例6]

本発明の表示装置は様々な電子機器の表示部に用いることができる。特に低消費電力が要求されるモバイル機器には本発明の表示装置を用いることが望ましい。

【0080】

具体的に前記電子機器として、携帯情報端末（携帯電話、モバイルコンピュータ、携帯型ゲーム機または電子書籍等）、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、表示ディスプレイ、ナビゲーションシステム等が挙げられる。これら電子機器の具体例を図6に示す。

【0081】

図6(A)表示ディスプレイであり、筐体6001、音声出力部6002、表示部6003等を含む。本発明の表示装置は表示部6003に用いることができる。表示装置は、パソコン用、TV放送受信用、広告表示用など全ての情報表示装置が含まれる。

【0082】

図6(B)はモバイルコンピュータであり、本体6101、スタイラス6102、表示部6103、操作ボタン6104、外部インターフェイス6105等を含む。本発明の表示装置は表示部6103に用いることができる。

【0083】

図6(C)はゲーム機であり、本体6201、表示部6202、操作ボタン6203等を含む。本発明の表示装置は表示部6202に用いることができる。

【0084】

図6(D)は携帯電話であり、本体6301、音声出力部6302、音声入力部6303、表示部6304、操作スイッチ6305、アンテナ6306等を含む。本発明の表示装置は表示部6304に用いることができる。

【 0 0 8 5 】

以上のように、本発明の表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

【 0 0 8 6 】**【発明の効果】**

電流制御用トランジスタのゲート・ソース間に設けられた容量素子の容量を大きくしたり、スイッチング用トランジスタのオフ電流を低く抑えたりしなくても、発光素子に流れる電流に影響しない。また、電流制御用トランジスタのゲートにつく寄生容量による影響も受けない。このため、ばらつき要因が減り、画質を大いに高めることができる。

【 0 0 8 7 】

また、スイッチング用トランジスタはオフ電流を低く抑える必要がないため、トランジスタ作製プロセスを簡略化することができ、コスト削減、歩留まり向上に大きく貢献することができる。

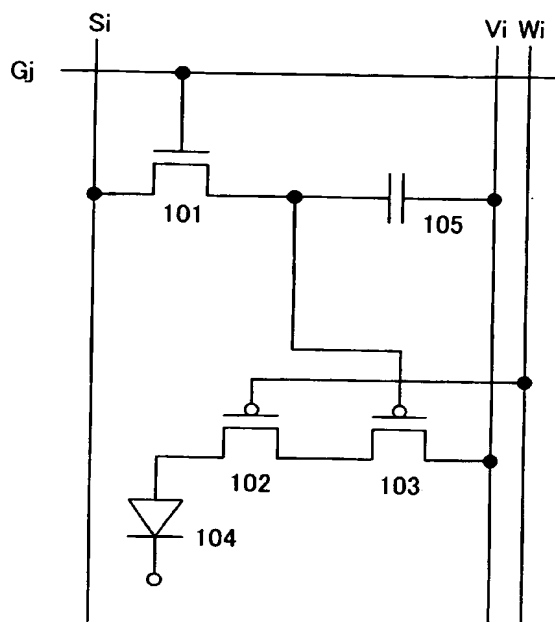
【図面の簡単な説明】

- 【図 1】** 本発明の一実施形態を示す図。
- 【図 2】** 本発明の一実施形態を示す図。
- 【図 3】** 外部回路とパネルの概要を示す図。
- 【図 4】** 信号線駆動回路の一構成例を示す図。
- 【図 5】** 本発明の上面図の一例を示す図。
- 【図 6】** 本発明が適用可能な電子機器の例を示す図。
- 【図 7】** 従来例を示す図。
- 【図 8】** 本発明の上面図の一例を示す図。
- 【図 9】** 本発明の断面構造の一例を示す図。
- 【図 1 0】** 本発明の動作タイミングの一例を示す図。

【書類名】

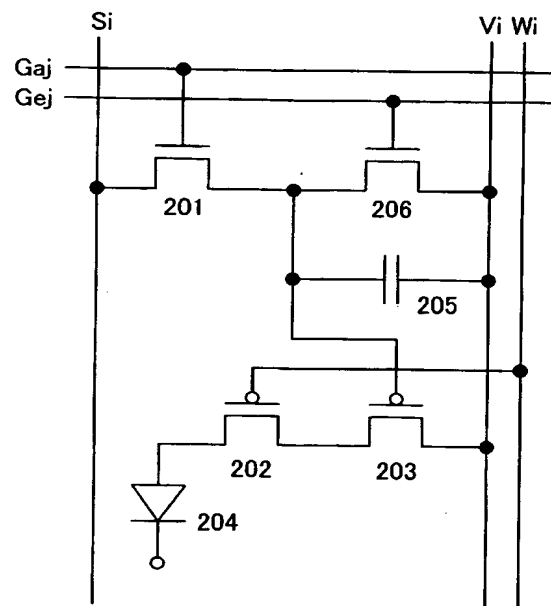
図面

【図 1】



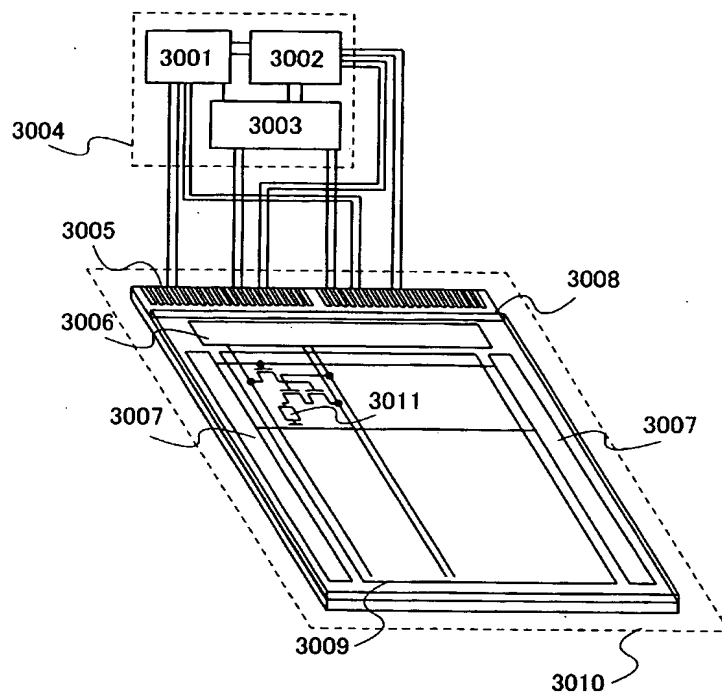
- 101 スイッチング用トランジスタ
- 102 駆動用トランジスタ
- 103 電流制御用トランジスタ
- 104 発光素子
- 105 容量素子

【図 2】



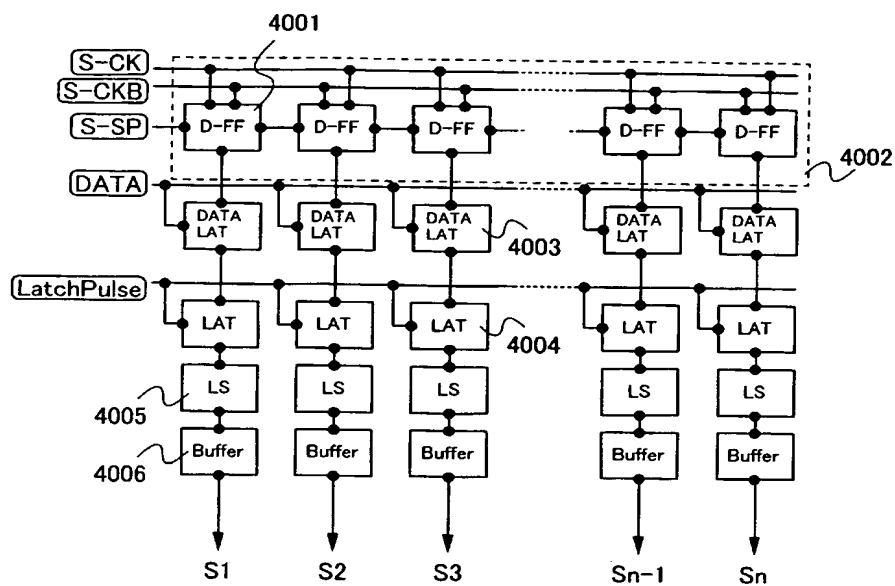
- 201 スイッチング用トランジスタ
- 202 駆動用トランジスタ
- 203 電流制御用トランジスタ
- 204 発光素子
- 205 容量素子
- 206 消去用トランジスタ

【図 3】



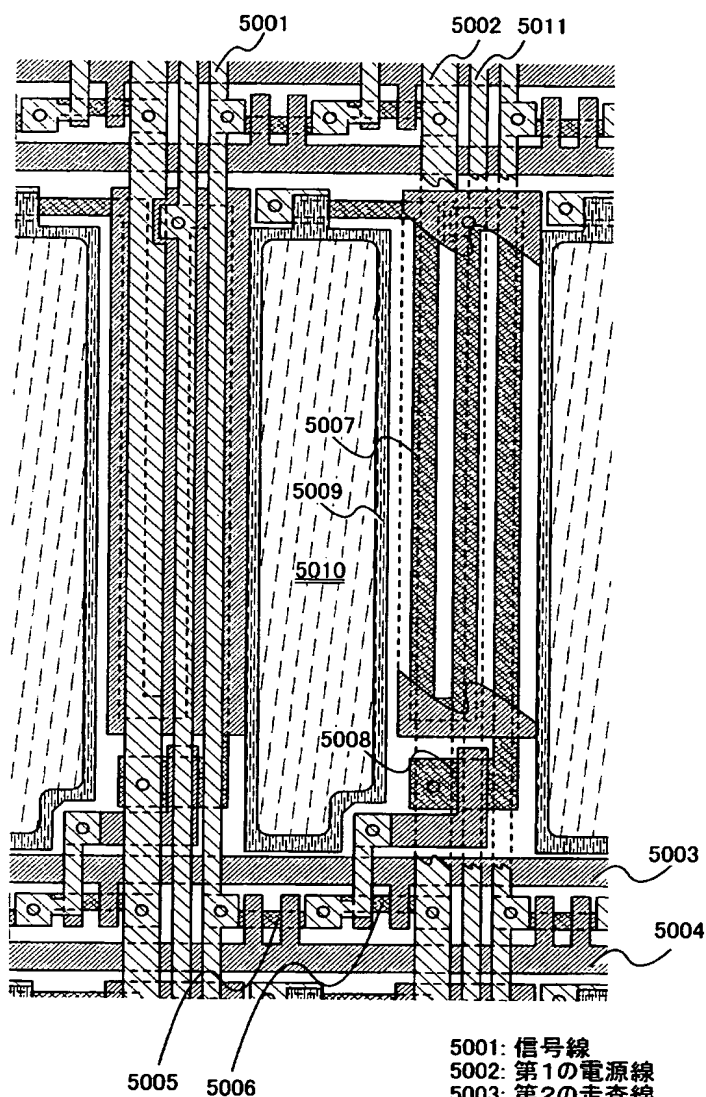
- 3001 : A/D変換部
- 3002 : 電源部
- 3003 : 信号生成部
- 3004 : 外部回路
- 3005 : FPC接続部
- 3006 : 信号線駆動回路
- 3007 : 走査線駆動回路
- 3008 : 基板
- 3009 : 画素部
- 3010 : パネル
- 3011 : OLED素子

【図 4】



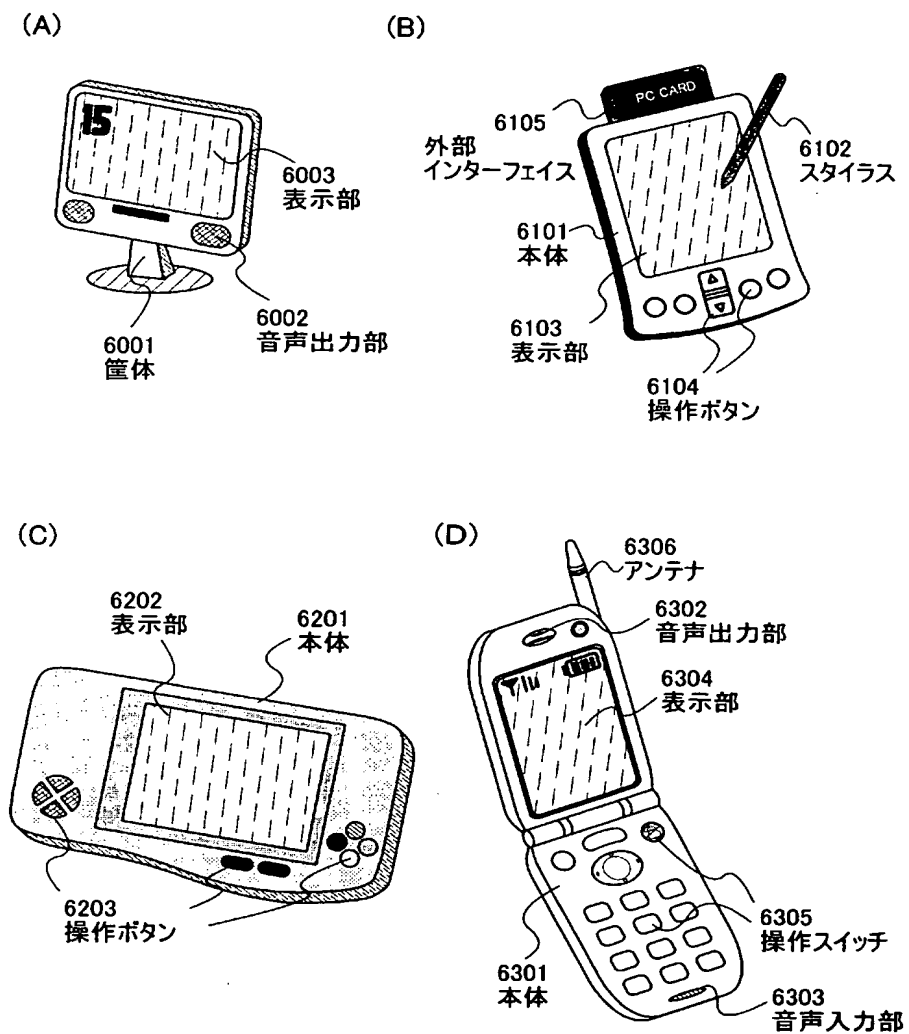
4001 : D-フリップフロップ
4002 : シフトレジスタ
4003 : データラッチ回路
4004 : ラッチ回路
4005 : レベルシフタ
4006 : バッファ

【図 5】

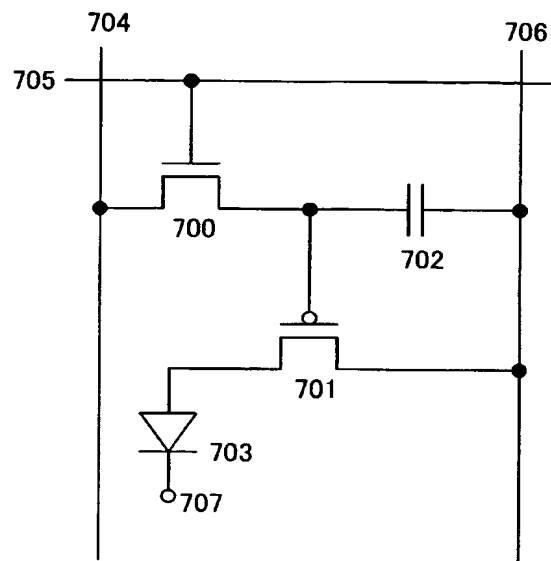


- 5001: 信号線
- 5002: 第1の電源線
- 5003: 第2の走査線
- 5004: 第1の走査線
- 5005: スイッチング用トランジスタ
- 5006: 消去用トランジスタ
- 5007: 駆動用トランジスタ
- 5008: 電流制御用トランジスタ
- 5009: 画素電極
- 5010: 発光エリア
- 5011: 第2の電源線

【図 6】

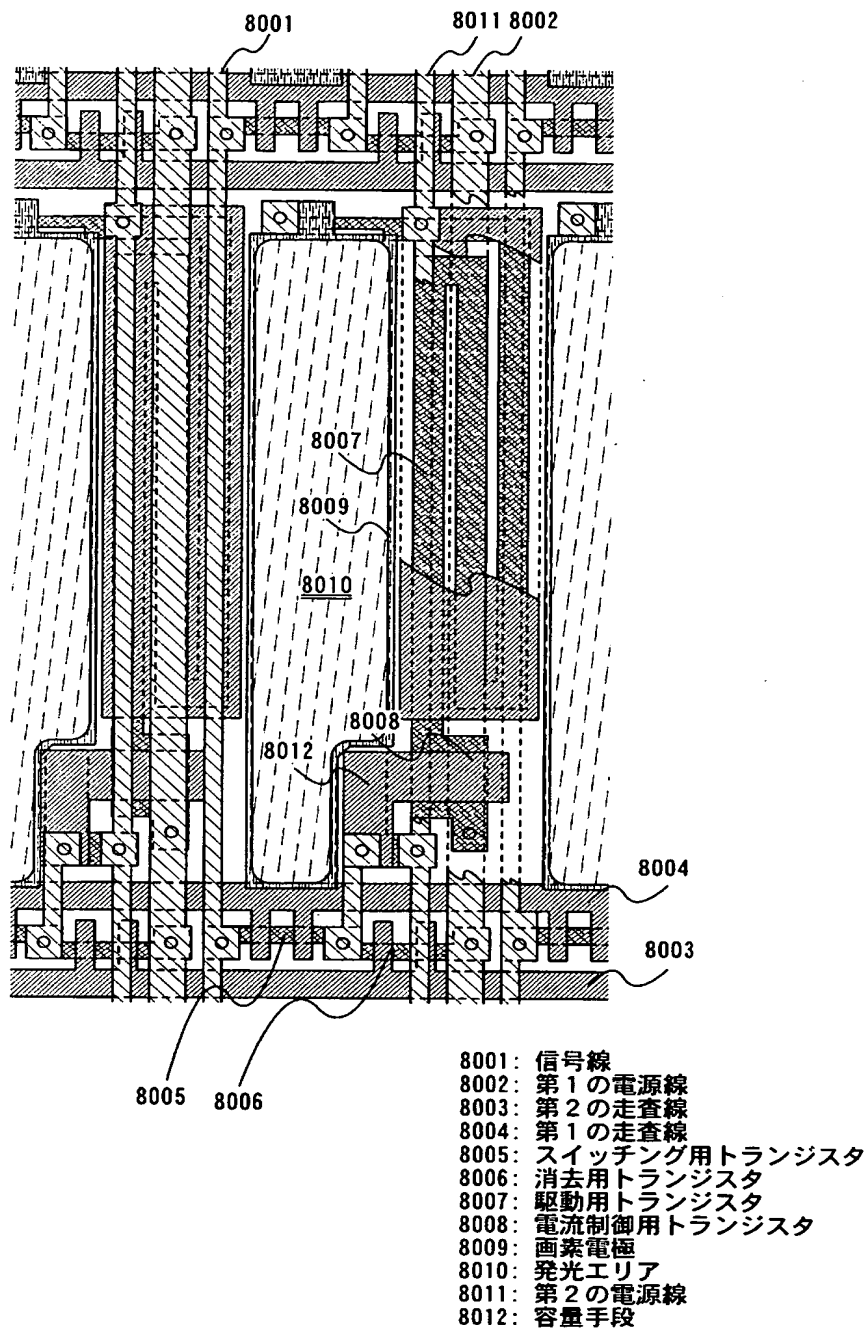


【図 7】



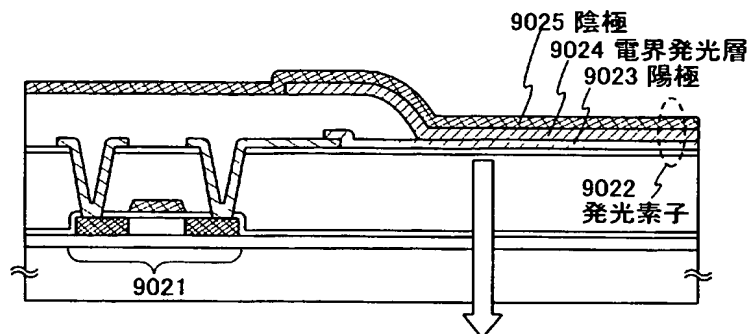
- 700 スイッチング用トランジスタ
- 701 駆動用トランジスタ
- 702 容量素子
- 703 発光素子
- 704 信号線
- 705 走査線
- 706 電源線
- 707 対向電極

【図 8】

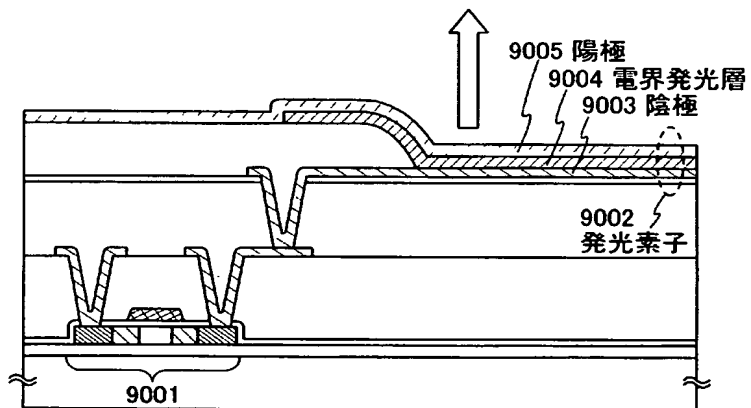


【図 9】

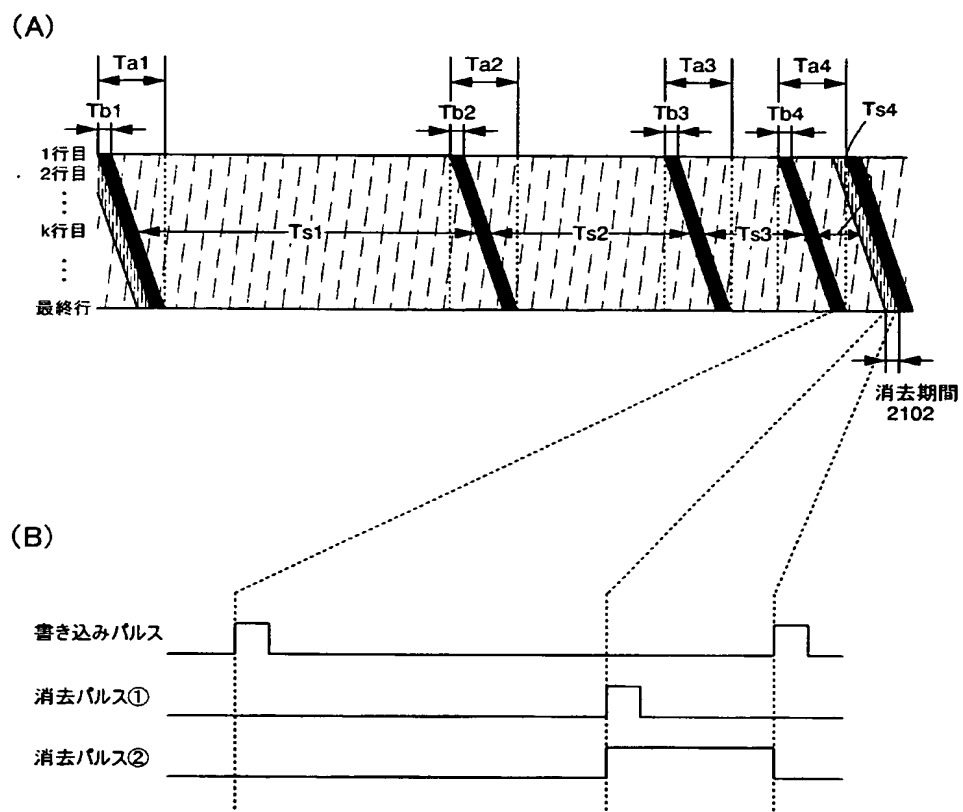
(A)



(B)



【図 10】



【書類名】 要約書

【要約】

【課題】 スイッチング用トランジスタのオフ電流を低く抑えたり、容量素子の大容量化を図らずとも、駆動用トランジスタの特性のばらつきに起因する、画素間における発光素子の輝度ムラを抑えることができる発光装置及び素子基板の提案を課題とする。

【解決手段】 本発明では、駆動用トランジスタのゲートの電位は固定し、前記駆動用トランジスタは飽和領域で動作させ、常に電流を流せる状態にしておく。前記駆動用トランジスタと直列に線形領域で動作する電流制御用トランジスタを配し、スイッチング用トランジスタを介して画素の発光、非発光の信号を伝えるビデオ信号を前記電流制御用トランジスタのゲートに入力する。

【選択図】 図 1

特願 2 0 0 3 - 1 3 9 5 6 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所